

FORMULARIO DE PRODUCCIÓN DE CONTENIDOS

NOMBRE DE LA ASIGNATURA: Fundamentos de sistemas digitales y arquitectura de computadoras

NOMBRE COMPLETO DEL DOCENTE CONTENIDISTA: Escobar Terán Charles Édison

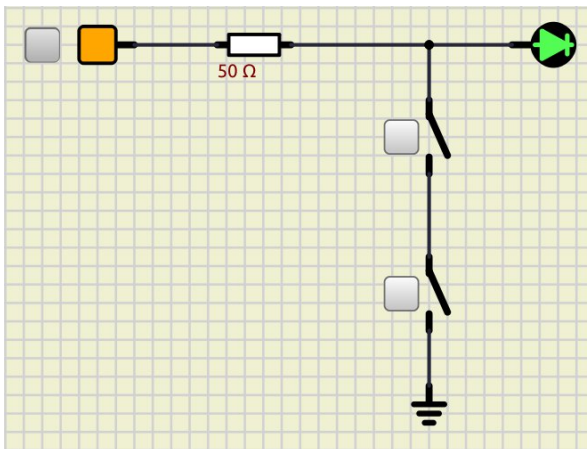
En el desarrollo de la sección de compuertas lógicas con transistores BJT se revisaron las configuraciones para las operaciones básicas AND, OR y NOT, para profundizar simularemos la compuertas NAND:

Partiremos con la tabla de verdad de la compuerta NAND

A	B	$(A \wedge B)'$
0	0	1
0	1	1
1	0	1
1	1	0

En este caso vemos que la salida es cero lógico solo si las dos entradas son uno lógico, para conseguir este resultado con interruptores se puede usar la siguiente configuración:

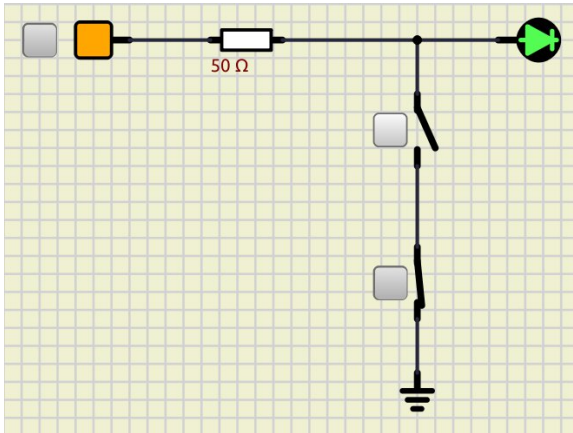
Figura 1:
Compuerta NAND con interruptores con entrada 0 0



Nota: Elaborado por (Escobar C., 2025)

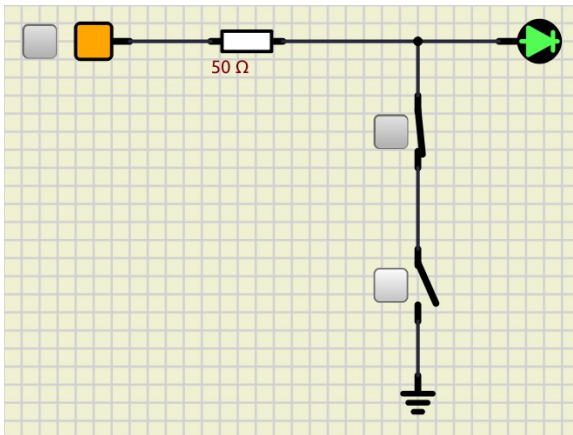
En las Figura 1, Figura 2 y Figura 3, se muestra el circuito para las entradas 00, 01 y 10 con la salida en uno lógico, mientras que la Figura 4 muestra el circuito para las entradas 11 con la salida en cero lógico, lo cual refleja la tabla de la compuerta NAND.

Figura 2:
Compuerta NAND con interruptores con entrada 0 1



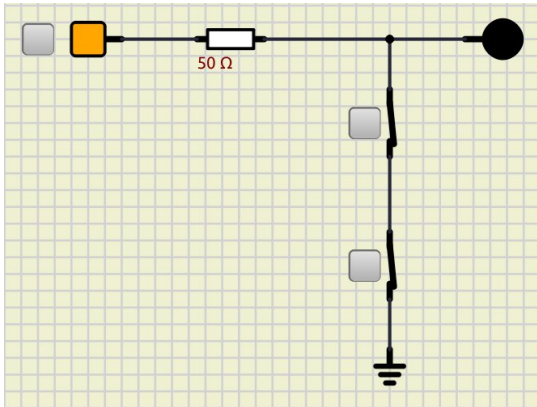
Nota: Elaborado por (Escobar C., 2025)

Figura 3:
Compuerta NAND con interruptores con entrada 1 0



Nota: Elaborado por (Escobar C., 2025)

Figura 4:
Compuerta NAND con interruptores con entrada 1 1

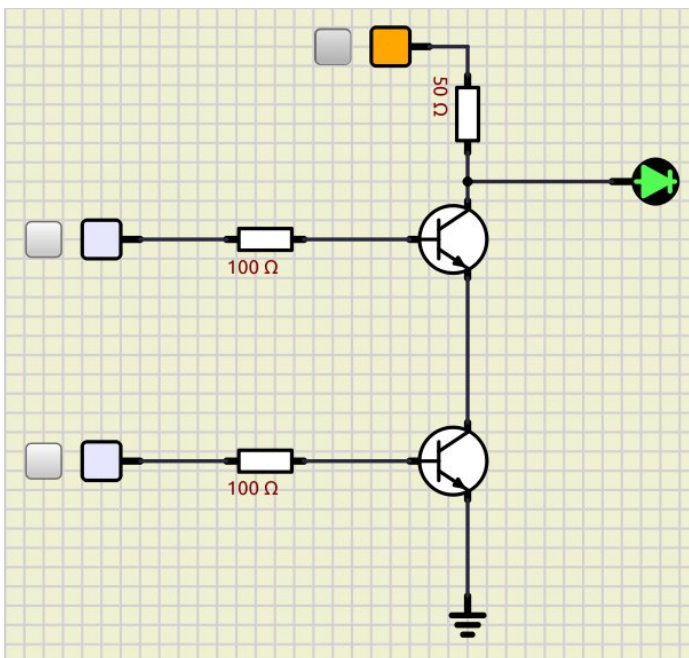


Nota: Elaborado por (Escobar C., 2025)

En este punto se pueden reemplazar los interruptores por transistores BJT en la zona de corte y saturación, por tanto si se quiere que la salida funcione con lógica negativa, se puede tomar la salida del colector con una resistencia de bias que absorba el voltaje cuando se saturan los dos transistores y presente un cero lógico en la salida ya que la serie de los dos transistores en saturación será cercana a 0.2V, lo que equivale a un cero lógico.

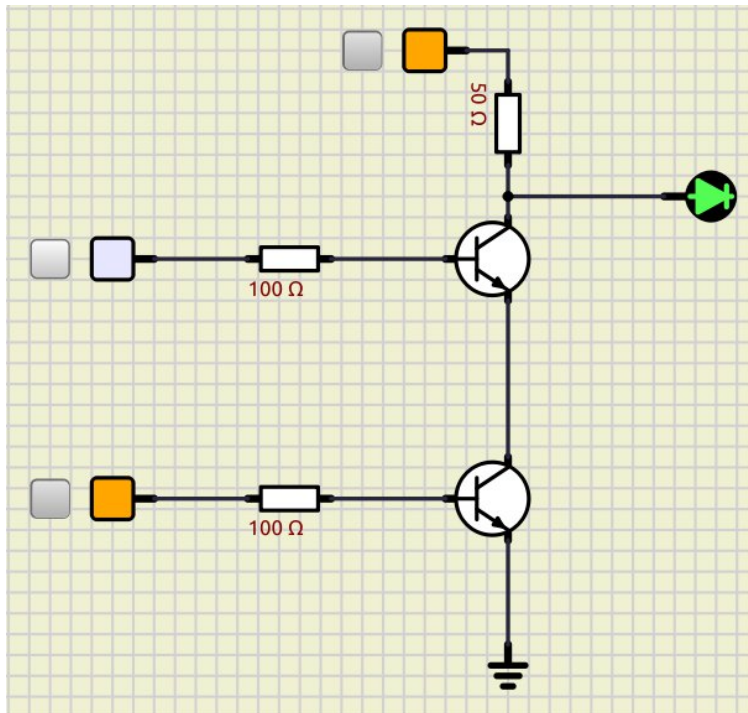
En las Figura 5, Figura 6 y Figura 7, se muestra el circuito para las entradas 00, 01 y 10 con la salida en uno lógico, mientras que la Figura 8 muestra el circuito para las entradas 11 con la salida en cero lógico, lo cual refleja la tabla de la compuerta NAND, pero ahora con transistores BJT.

Figura 5:
Compuerta NAND con entrada 0 0



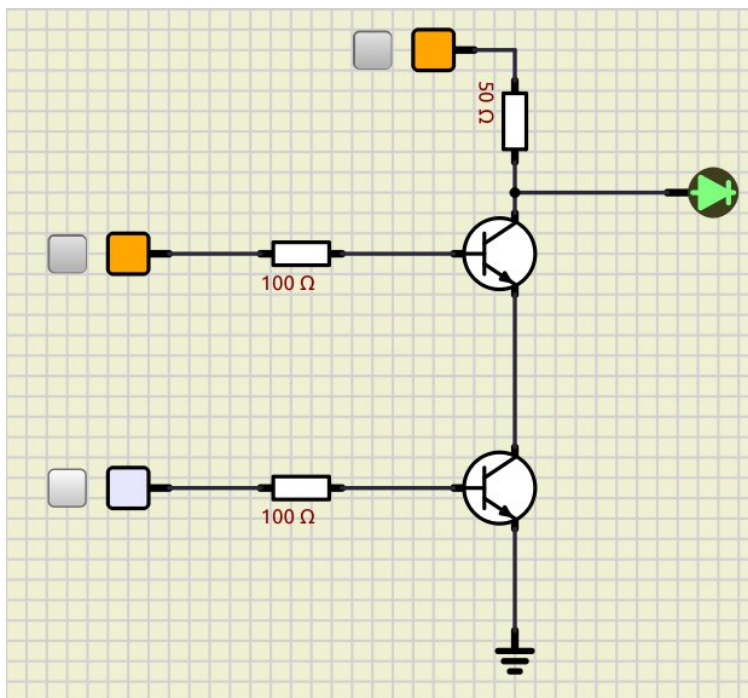
Nota: Elaborado por (Escobar C., 2025)

Figura 6:
Compuerta NAND con entrada 0 1



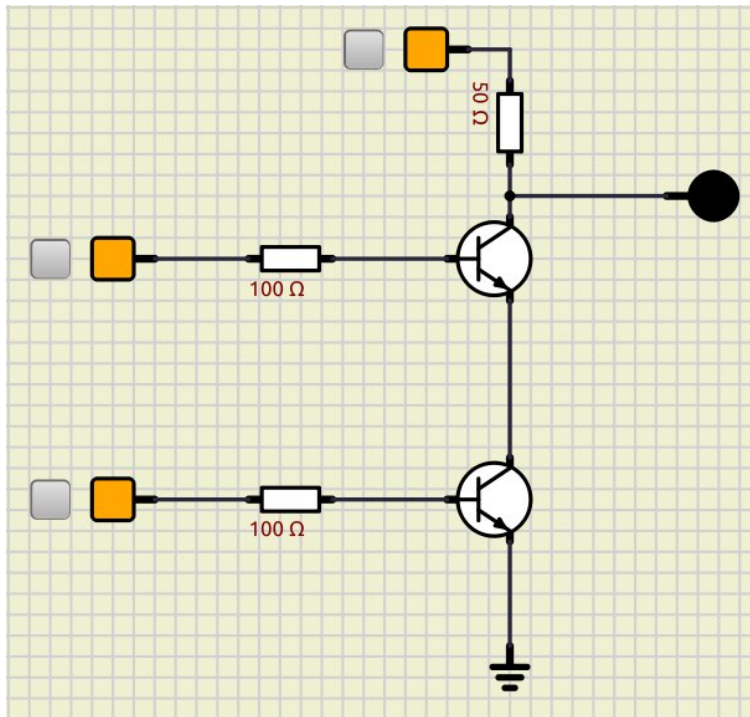
Nota: Elaborado por (Escobar C., 2025)

Figura 7:
Compuerta NAND con entrada 1 0



Nota: Elaborado por (Escobar C., 2025)

Figura 8:
Compuerta NAND con entrada 1 1



Nota: Elaborado por (Escobar C., 2025)

De igual manera como se ha implementado la compuerta NAND, pueden implementarse las compuertas NOR, XOR y XNOR.

Referencias

- Sitio oficial de Simulide, <https://simulide.com/p/>, Obtenido el 19 de octubre de 2025