

FORMULARIO DE PRODUCCIÓN DE CONTENIDOS

NOMBRE DE LA ASIGNATURA: Fundamentos de sistemas digitales y arquitectura de computadoras

NOMBRE COMPLETO DEL DOCENTE CONTENIDISTA: Escobar Terán Charles Édisson

En el desarrollo de la sección de compuertas lógicas con transistores FET se revisaron las configuraciones CMOS para las operaciones básicas AND, OR y NOT, para profundizar simularemos la compuertas NAND:

Partiremos con la tabla de verdad de la compuerta NAND

A	B	$(A \wedge B)'$
0	0	1
0	1	1
1	0	1
1	1	0

En este caso vemos que la salida es cero lógico solo si las dos entradas son uno lógico.

La compuerta NAND de dos entradas es una de las compuertas universales más importantes y eficientes en tecnología CMOS. Su implementación requiere dos transistores NMOS en serie en red pull-down y dos transistores PMOS en paralelo en red pull-up.

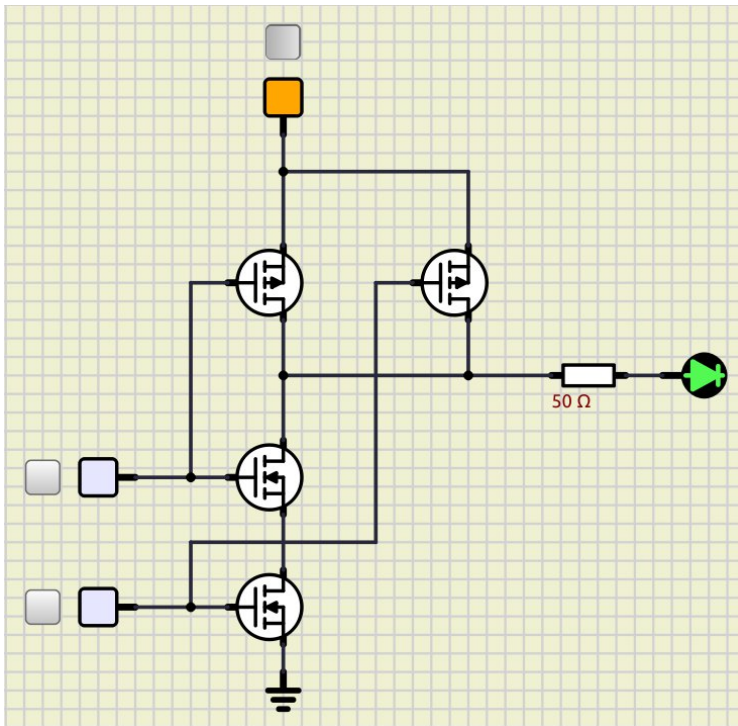
Cuando ambas entradas A y B son altas (1 lógico), ambos NMOS conducen (porque $V_{GS} = V_{DD} > V_{TH}$), creando un camino de baja resistencia a tierra. Simultáneamente, ambos PMOS están en corte (porque $V_{GS} = 0$), desconectando la salida de VDD. Resultado: salida = 0.

Para cualquier otra combinación de entradas (00, 01, o 10), al menos uno de los NMOS está en corte, rompiendo el camino a tierra, mientras que al menos uno de los PMOS conduce, conectando la salida a VDD. Resultado: salida = 1. Esta configuración implementa la función NAND

$$Y = (A \wedge B)'$$

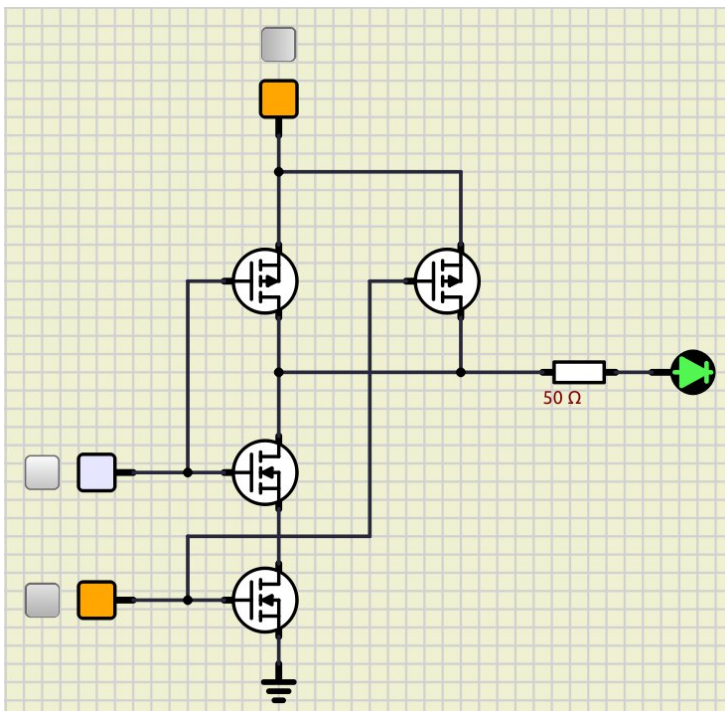
En las Figura 1, Figura 2 y Figura 3, se muestra el circuito con CMOS para las entradas 00, 01 y 10 con la salida en uno lógico, mientras que la Figura 4 muestra el circuito para las entradas 11 con la salida en cero lógico, lo cual refleja la tabla de la compuerta NAND.

Figura 1:
Compuerta NAND con CMOS y entrada 0 0



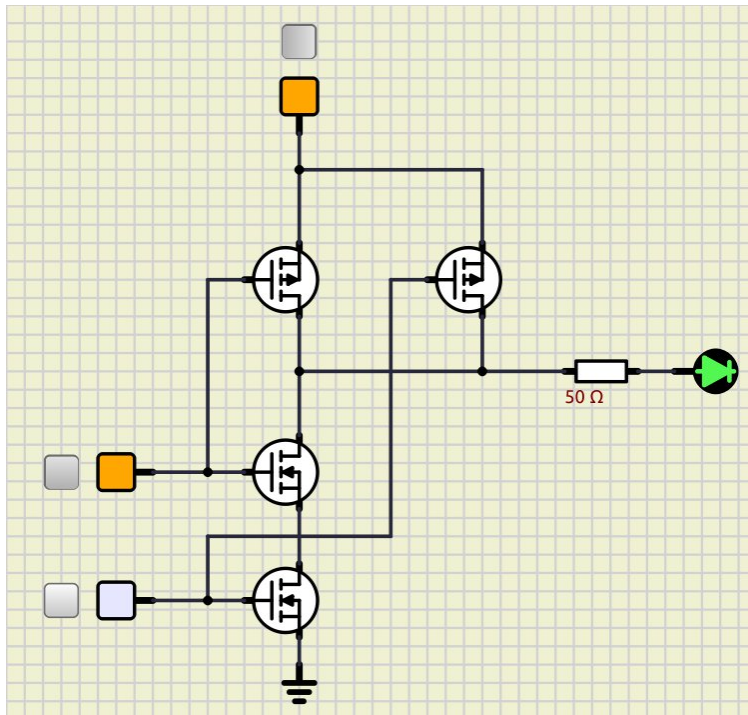
Nota: Elaborado por (Escobar C., 2025)

Figura 2:
Compuerta NAND con CMOS y entrada 0 1



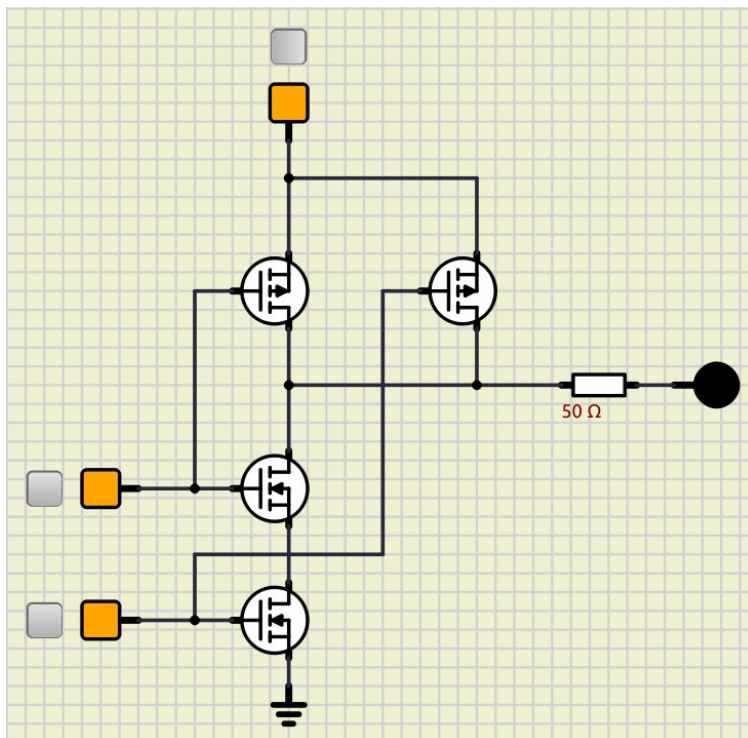
Nota: Elaborado por (Escobar C., 2025)

Figura 3:
Compuerta NAND con CMOS y entrada 1 0



Nota: Elaborado por (Escobar C., 2025)

Figura 4:
Compuerta NAND con CMOS y entrada 1 1



Nota: Elaborado por (Escobar C., 2025)



Las redes pull-down y pull-up se usan en una compuerta NAND CMOS para implementar la función lógica de manera eficiente aprovechando las características complementarias de los transistores NMOS y PMOS.

Esta dualidad (paralelo en pull-up, serie en pull-down) implementa directamente la función NAND según la lógica De Morgan.

En detalle en el circuito previo se puede apreciar que:

La red Pull-Up (PMOS):

- Está conectada entre VDD y la salida
- Usa transistores PMOS en paralelo
- Se activa cuando las entradas son bajas (0 lógico)
- Lleva la salida hacia VDD (1 lógico)

Red Pull-Down (NMOS):

- Está conectada entre la salida y GND
- Usa transistores NMOS en serie
- Se activa cuando las entradas son altas (1 lógico)
- Lleva la salida hacia GND (0 lógico)

De igual manera como se ha implementado la compuerta NAND, pueden implementarse las compuertas NOR, XOR y XNOR.

Referencias

- Sitio oficial de Simulide, <https://simulide.com/p/>, Obtenido el 19 de octubre de 2025